

TRANSLATION OF CERTIFIED DOCUMENT

THIS IS TO CERTIFY THAT ANNEXED IS A TRUE COPY FROM THE RECORDS OF THIS OFFICE OF THE APPLICATION AS ORIGINALLY FILED WHICH IS IDENTIFIED HEREUNDER.

APPLICATION DATE: **October 25 2002**

APPLICATION NUMBER: **91124965**

(TITLE: **BRANCH METRIC GENERATOR FOR VITERBI DECODER**)

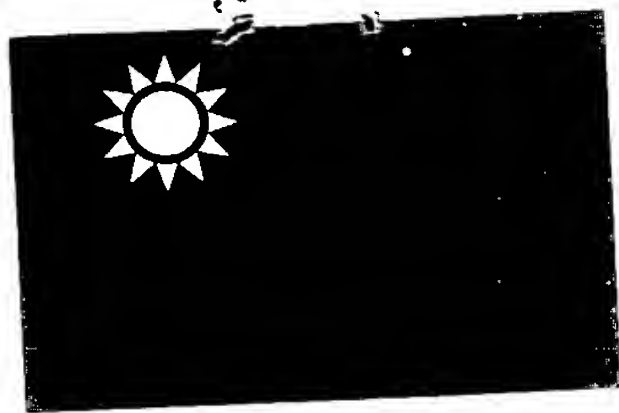
APPLICANT: **BenQ Corporation**

DIRECTOR GENERAL

蔡練生

ISSUE DATE: **December 17, 2003**

SERIAL NUMBER: **09111024721**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 25 日
Application Date

申請案號：091124965
Application No.

申請人：明基電通股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2002 年 12 月 17 日
Issue Date

發文字號：09111024721
Serial No.

申請日期：91. 10. 25

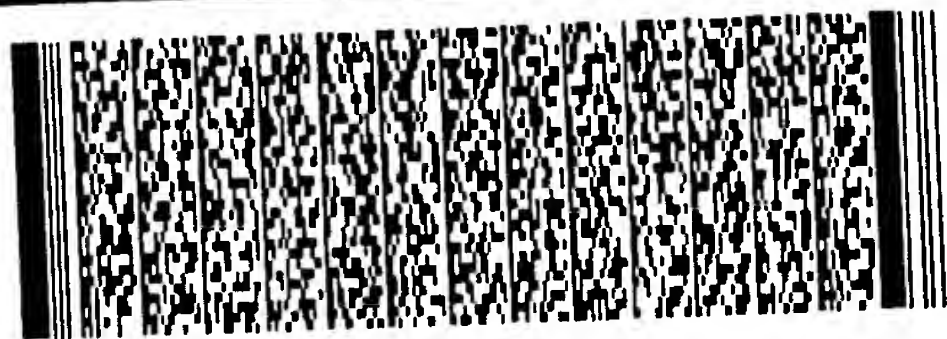
案號：91 124 965

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	一種適用於維特比解碼器之分支度量產生裝置
	英 文	Branch Metric Generator for Viterbi Decoder
二、 發明人	姓 名 (中文)	1. 石穎衡
	姓 名 (英文)	1. SHIH, Ying-Heng
	國 籍	1. 中華民國
	住、居所	1. 屏東市勝利路永勝巷3號
三、 申請人	姓 名 (名稱) (中文)	1. 明基電通股份有限公司
	姓 名 (名稱) (英文)	1. BENQ CORPORATION
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉山鶯路一五七號
	代表人 姓 名 (中文)	1. 李焜耀
	代表人 姓 名 (英文)	1. K. Y. LEE

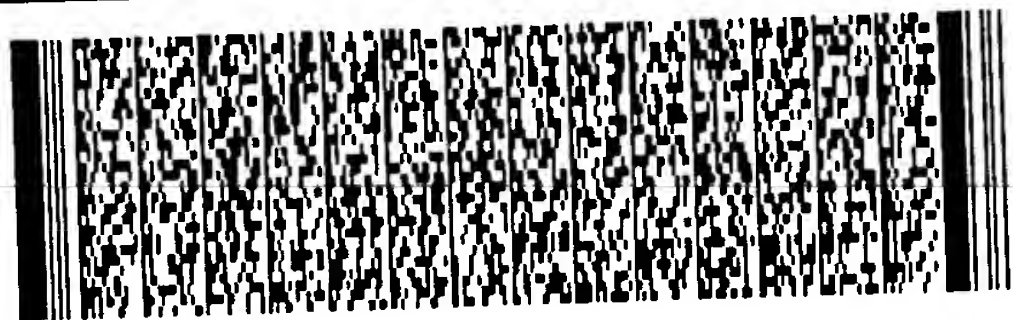
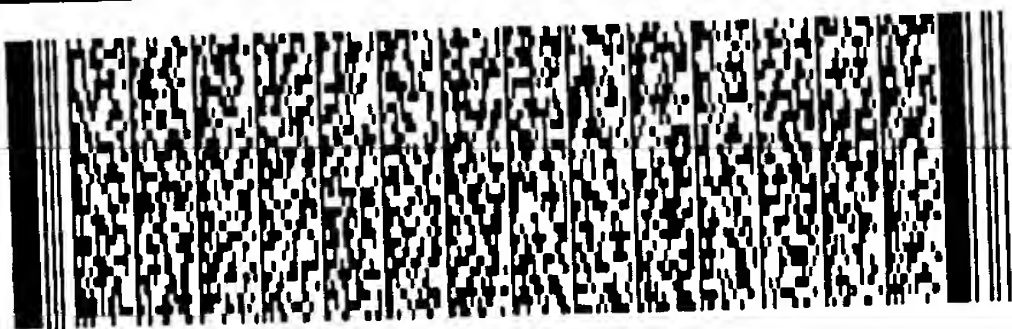


四、中文發明摘要 (發明之名稱：一種適用於維特比解碼器之分支度量產生裝置)

本發明揭露一種適用於維特比解碼器(Viterbi decoder)之分支度量(Branch Metric)產生裝置，包含一個線性反饋移位暫存器和一個迴旋編碼器。線性反饋移位暫存器可執行一特定本質特徵多項式之運算，輸出一個數字序列。迴旋編碼器將其數字序列做編碼，以產生蝴蝶形式之分支度量。此外，此裝置同時可包含數個本質特徵多項式之運算，僅需利用一個選擇輸入信號，即可選擇特定之本質特徵多項式，進行運算，產生系統所需之蝴蝶形式分支度量。

英文發明摘要 (發明之名稱：Branch Metric Generator for Viterbi Decoder)

The present invention discloses an apparatus used to generate branch metrics for a Viterbi decoder. The apparatus includes a linear feedback shift register and a convolutional encoder. The linear feedback shift register performs an operation based on a specific primitive characteristic polynomial and creates a binary number series after the operation. The convolutional encoder generates the branch metrics by encoding the binary number series. Besides,



四、中文發明摘要 (發明之名稱：一種適用於維特比解碼器之分支度量產生裝置)

英文發明摘要 (發明之名稱：Branch Metric Generator for Viterbi Decoder)

the apparatus is further capable of selecting one of the several built-in primitive characteristic polynomials by inputting a selection signal in order to conform to the request of the different systems.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

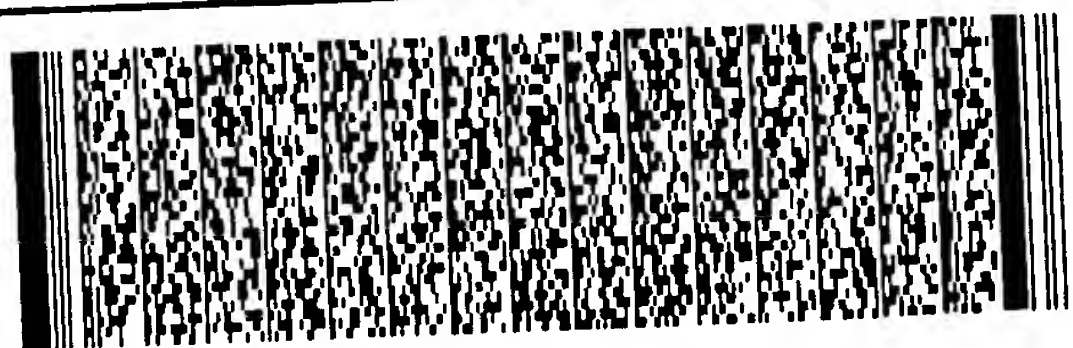
發明領域

本發明係為一種分支度量產生裝置，特別適用於維特比解碼器之使用，此維特比解碼器可應用於寬頻多重分碼存取(WCDMA)、無線區域網路(wireless LAN)、數位通訊系統(digital communication systems)等。

發明背景

在無線通訊的領域中，接收端裝置廣泛地利用迴旋編碼(convolution encoding)來偵錯(error detection)及修正(error correction)被傳送的信號。其過程包含將編碼的信號解碼，還原成可判讀之資料。維特比解碼器便是一種相當普及的迴旋編碼器，它將接收到的信號與本身內建的參考值做運算，找出最可能的路徑。並依此路徑還原正確的資料，以完成解碼的動作。

如圖一所示，維特比解碼器包含三個主要的部分：分支度量產生單元(branch metric generation unit)BMU、路徑度量更新單元(path metric updating unit)PMU及存活記憶體管理單元(survivor memory management unit)SMU。分支度量產生單元BMU係依據輸入信號IN，經運算後產生分支度量101。路徑度量更新單元PMU用來執行一比較運算，並更新路徑分支103。存活記憶體管理單元SMU依此路徑分支103進行解碼，計算並輸出正確的資料OUT。

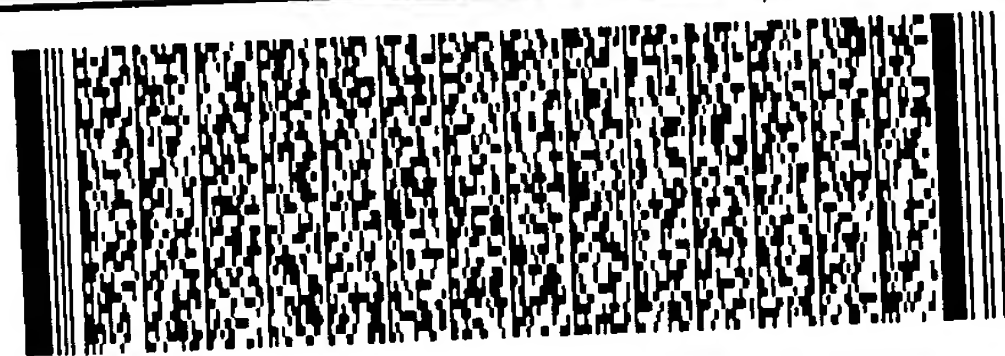
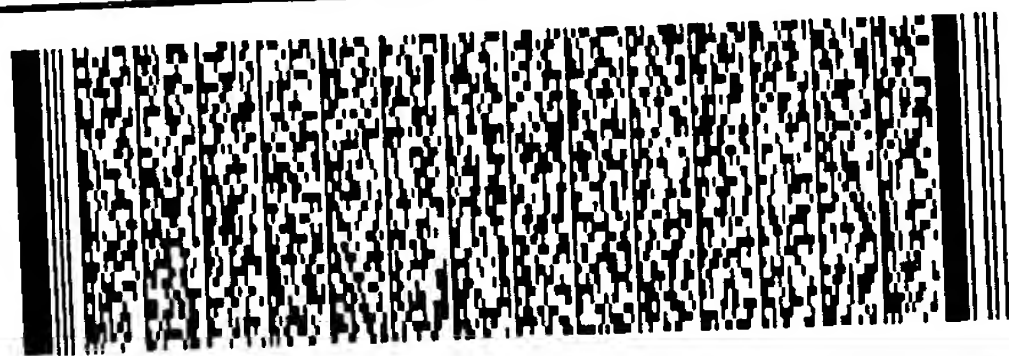


五、發明說明 (2)

分支度量101為編碼器在進行編碼動作時的流程，如圖二所示，此為迴旋編碼器(convolutional encoder)之格狀圖示(trellis diagram)。欄位201顯示為長度為8之分支度量，此分支度量共有 $2^{8-1}=128$ 個狀態(0~127)，行位203表示編碼器的輸入位元(Bit0~BitN)，狀態205為編碼器所處之狀態，此狀態會依箭頭207的方向轉移成下一個狀態，每個狀態皆有兩個可轉換的狀態，係由行位203來控制。維特比解碼器便是以此分支度量還原行位203之資料。

由於每一個狀態均由兩個前一狀態而來，所以整體而言會有兩種重複的狀態，如圖二之粗線段，其形狀如同一個蝴蝶形式，分支度量101是由多個蝴蝶形式組合而成。圖三為此蝴蝶形式209之示意圖，狀態301及303為目前編碼器的狀態，狀態305及307為下一個可能的狀態。狀態301及303皆可能轉移至狀態305及307。而編碼器此刻的輸入便決定下一個狀態為狀態305或307。例如，當輸入為0時，狀態301會經由狀態轉移方向302轉移至狀態305，當輸入為1時，狀態301會經由狀態轉移方向304轉移至狀態307。

圖四為圖一中分支度量產生單元BMU內之方塊圖，如圖所示，分支度量產生單元BMU包含兩個電路組：一為分



五、發明說明 (3)

支度量產生器(branch metric generator)BMG、一為分支度量運算器(branch metric calculator)BMC。分支度量產生器BMG具有兩個輸出：ref_bit_0及ref_bit_1，用來提供每一個路徑的理想資料數值。分支度量運算器BMC則用來計算接收到之信號rec_bit_0及rec_bit_1與理想資料數值ref_bit_0及ref_bit_1之差異，並將其計算結果輸出至圖一中之路徑度量更新單元PMU。在資料的傳遞過程中，吾人會將資料分割成正負兩半部，如7位元的資料會被分成(1 ~ 64)和(-1 ~ -64)兩部分。當分支度量產生器BMG之輸出ref_bit_0及ref_bit_1皆為0時，表示接收到之信號rec_bit_0及rec_bit_1應落在(1 ~ 64)這部分。當分支度量產生器BMG之輸出ref_bit_0及ref_bit_1皆為1時，表示接收到之信號rec_bit_0及rec_bit_1應落在(-1 ~ -64)這部分。舉例來說，若{rec_bit_0, rec_bit_1}={24, -55}，且{ref_bit_0, ref_bit_1}={0, 0}，即表示rec_bit_0=24為正確之資料，而rec_bit_1=-55是錯誤的，且只有錯誤的分支度量會被紀錄下來。因此，分支度量產生單元BMU的輸出為{out_bit_0, out_bit_1}={0, 55}。當最後解碼的過程，我們選擇整個累加後路徑度量較小的路徑當作解碼路徑。

為了要能夠正確地判斷接收到之資料是否正確，習知的技術是於事先在分支度量產生器BMG中儲存理想的資料值，以便和接收到的資料值進行比較。然而，此一做法必



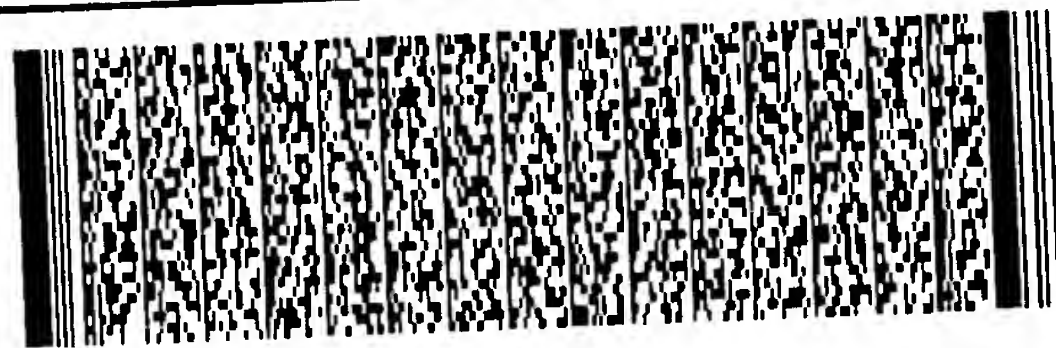
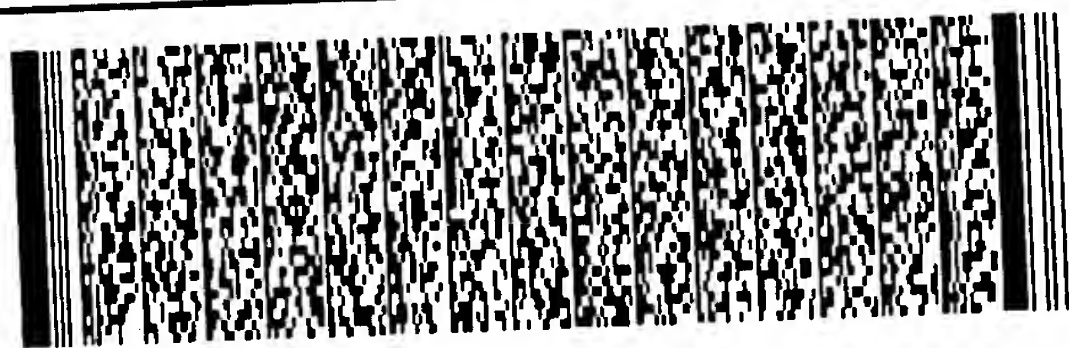
五、發明說明 (4)

須在分支度量產生器BMG中安排一個記憶體與加法器，並且需要一個電路來產生位址，以指向其記憶體。這樣的安排不僅使得習知解碼器的速度受到限制，更會嚴重的佔用電路佈局(layout)的面積。此外，為了使用上方便，分支度量產生器BMG亦被設計成可產生數組不同分支度量的結構，以配合不同系統的需要。如圖五所示，此為習知1/2碼率(rate)的分支度量產生器BMG。藉由一個選擇輸入端sel_in來決定其分支度量。此種架構使用數個多工器來完成選擇分支度量的目的，但會使得面積變得十分龐大，造成成本的增加。

發明概述

本發明揭露一種分支度量產生器，用來產生蝴蝶形式之分支度量。其包含一個線性反饋移位暫存器(linear feedback shift register)和一個迴旋編碼器(convolutional decoder)。線性反饋移位暫存器係用來執行一個特定本質特徵多項式(primitive characteristic polynomial)之運算，以產生一個數字序列。迴旋編碼器則用來將線性反饋移位暫存器所產生之數字序列編碼，以輸出系統內每個蝴蝶形式所需之分支度量。

本發明之分支度量產生器可同時包含數個本質特徵多項式之運算，經由一個選擇輸入端，選擇某一特定的本質



五、發明說明 (5)

特徵多項式。使其在不同的系統中，產生符合該系統需求之分支度量。

本發明之優點在於速度快，且電路佈局之面積小，整體成本降低。此裝置可應用在寬頻多重分碼存取、無線區域網路、數位通訊系統等。

發明詳細說明

本發明提供一種分支度量產生器，可產生蝴蝶形式之分支度量，用來與接收到之信號做比較運算，以確定所接到之信號正確無誤。圖六為本發明一實施例之方塊圖，如圖所示，其架構包含一個線性反饋移位暫存器601和一個迴旋編碼器603。線性反饋移位暫存器601根據系統的需要，執行一特定本質特徵多項式之運算後，產生一數字序列602。迴旋編碼器603將產生之數字序列602做適當編碼，以輸出蝴蝶形式之分支度量BM。圖六中粗線段之箭頭表示傳送至少二位元之資料。

線性反饋移位暫存器601更包含一個數字序列產生電路(number sequence generation circuit)607及一個執行電路(performing circuit)605。數字序列產生電路607用來產生一個二進位數字604，並輸出至執行電路605，執行電路605內含一個本質特徵多項式之運算，該運算方法可以是一多項式除法。其二進位數字604經過此一運算

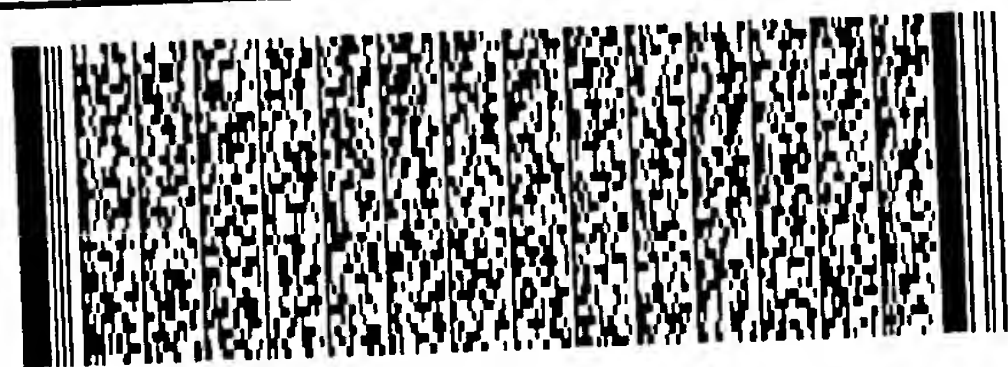
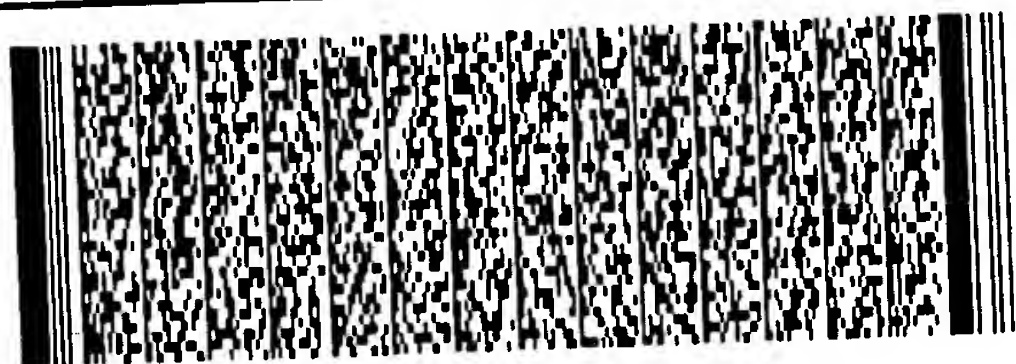


五、發明說明 (6)

後，將運算結果606傳回至數字列產生電路607，供產生下一個二進位數字604。如此循環下去便可形成數字序列602。如圖六所示，數字序列產生電路607之第一輸出OUT1連結至執行電路605之輸入IN，執行電路605之輸出OUT連結至數字序列產生電路607之輸入IN。數字序列產生電路607之第二輸出OUT2連結至迴旋編碼器603之輸入IN，分支度量BM由迴旋編碼器603之輸出OUT傳送至下一級的分支度量運算器BMC。

圖七為圖六實施例之電路圖，係應用於符合3GPP (third-generation partnership project) 規格的系統中。依據3GPP組織所制定之規格，此實施例具有限制長度 (constraint length) $K=9$ ，即表示數字序列產生電路607需包含7個暫存器1st_r、2nd_r、...、7th_r及一互斥或閘611。然而，僅有暫存器1st_r、2nd_r、...、7th_r及一互斥或閘611只能產生 2^7-1 個數字序列602。需再多加一個反或閘609，才能產生所有 2^7 個數字序列602。其暫存器1st_r、2nd_r、...、7th_r可用D型正反器來完成，但此處並不侷限於使用D型正反器，其他形式正反器或任何有此功能之電路皆可利用。

執行電路605包含一個本質特徵多項式為 X^7+X+1 之運算。欲執行此本質特徵多項式的運算，數字序列產生電路607之輸出OUT1需包含第六暫存器6th_r及第七暫存器

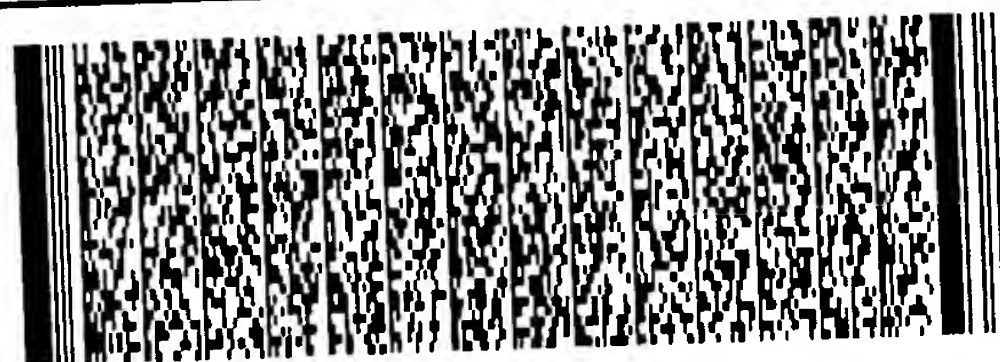


五、發明說明 (7)

7th_r之輸出。同時執行電路605需包含一個互斥或閘613，其輸入端連結至執行電路605之輸入IN，其輸出端連結至執行電路605之輸出OUT。

根據3GPP所制定之規格，迴旋編碼器603內含數個互斥或閘，其接線方式如圖七所示。此迴旋編碼器603共可產生二位元的分支度量輸出ref_bit_0及ref_bit_1。其輸出ref_bit_0及ref_bit_1可作為一個參考，用來判斷所接收到的信號是否正確。

由於在不同的應用下，資料傳輸時所需的資料品質不同，需要使用不同的傳輸速率或是使用不同的位元數，在此狀況下會使用不同的本質特徵多項式。本發明之第二實施例提供另一種分支度量產生器，藉由一個選擇輸入信號，從數個本質特徵多項式中選擇其一，以產生蝴蝶形式之分支度量。如圖八所示，此為一個可選擇本質特徵多項式之分支度量產生器，其包含一個選擇器(selector) 701、一個執行電路組711、數字序列產生電路717及一迴旋編碼器705。選擇器701係用來選擇一特定之本質特徵多項式之運算結果706，以產生一特定之運算結果702。執行電路組711係包含複數組不同的執行電路，每個執行電路係代表一特定之本質特徵多項式，其多項式之運算結果係輸出至選擇器701供選擇使用；數字序列產生電路717的功能與圖七中之數字序列產生電路607中所述相同，原則上

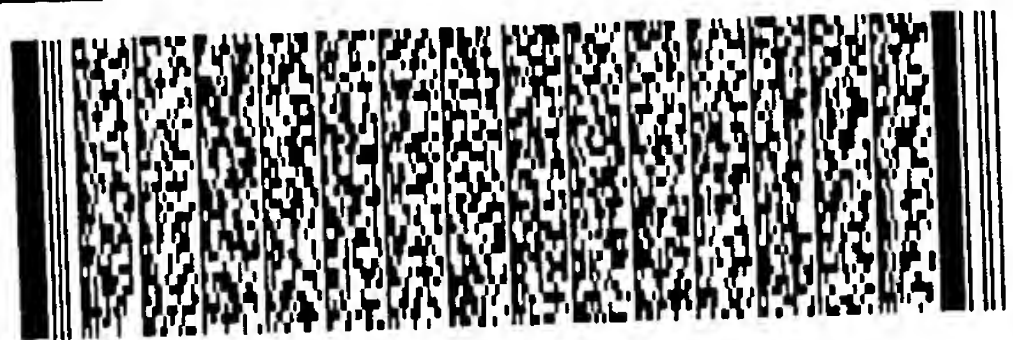
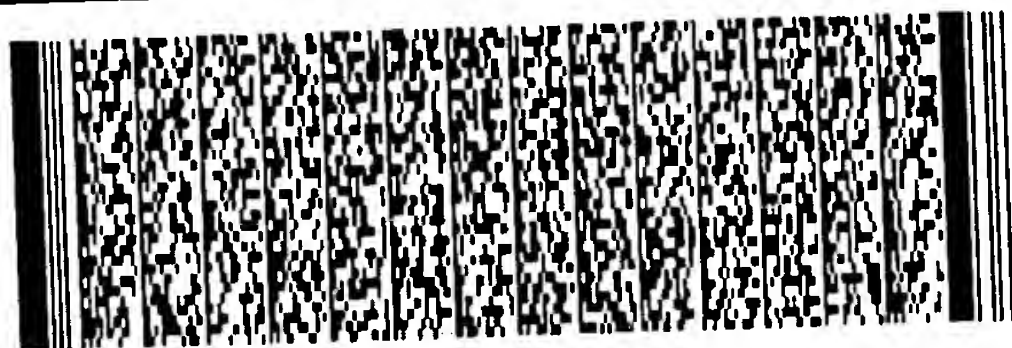


五、發明說明 (8)

為一暫存器串列所形成；迴旋編碼器705用來將數字序列產生電路717所產生的數字序列704編碼，以形成蝴蝶形式之分支度量BM。圖八中粗線段之箭頭表示傳送至少二位元之資料。

如圖九為圖八第二實施例之電路圖，其中，選擇器701包含一個選擇輸入端MODE、複數個選擇邏輯閘709及一個多工器707，選擇輸入端MODE供輸入一個選擇輸入信號，該選擇輸入信號為二位元時，其信號可為(0,0)、(0,1)、(1,0)、(1,1)。此選擇輸入信號除了控制多工器707的選擇輸出之外，另外更可透過複數個選擇邏輯閘709的邏輯設計，選擇由數字序列產生電路717所產生的數字序列704，以產生一選擇結果708輸入至執行電路組711。在此實施例中可從四個本質特徵多項式之運算結果選擇其中之一。因此選擇輸入信號為二位元信號，其四種不同狀態係可分別選擇四個運算結果706。多工器707係依據選擇輸入信號所選擇的一執行電路，此執行電路代表一特定之本質特徵多項式。本發明於此處並不限定使用多工器，任何電路可達成此一功能皆可應用於此。

其數字序列產生電路717產生數字序列704，分別輸入迴旋編碼器705及選擇邏輯閘709。執行電路組711內包含四組本質特徵多項式之運算，此四個本質特徵多項式運算結果706輸入多工器707。多工器707根據選擇輸入端MODE

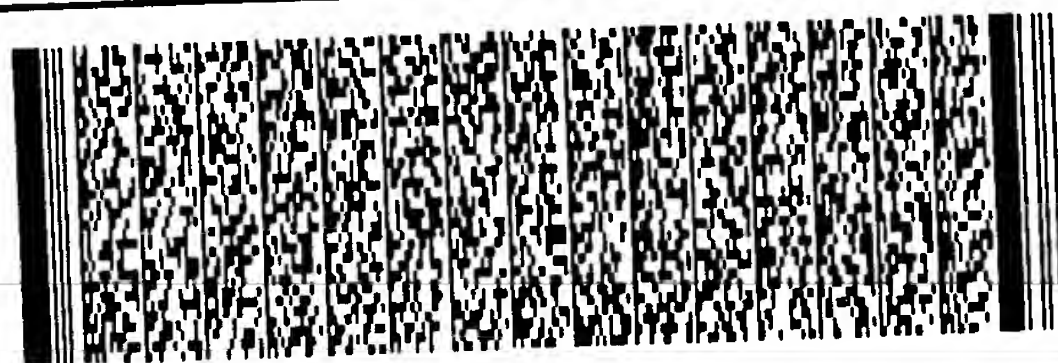
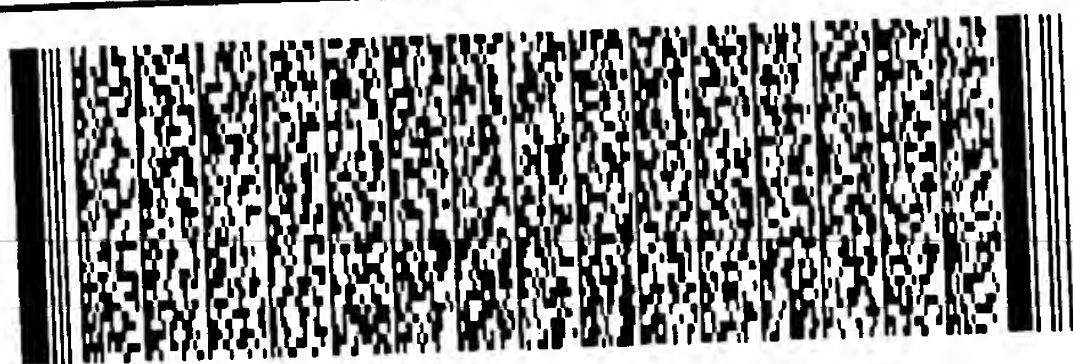


五、發明說明 (9)

之信號，選擇一運算結果，此運算結果與反或閘713之輸出一同輸入互斥或閘715。互斥或閘715經邏輯運算後輸入數字序列產生電路717。其中，選擇輸入端MODE之信號分別控制多工器707及選擇邏輯閘709，以選擇執行特定本質特徵多項式之運算。

圖九中執行電路組711包含4個本質特徵多項式之運算： $P1=X^7+X+1$ 、 $P2=X^6+X+1$ 、 $P3=X^5+X^2+1$ 、 $P4=X^4+X+1$ 。每個本質特徵多項式之運算均由互斥或閘來完成。數字序列產生電路717包含7個暫存器1st_r、2nd_r、...、7th_r，皆可用D型正反器來完成。但此處並不局限於使用D型正反器，其他形式正反器或任何有暫存功能之電路皆可利用。迴旋編碼器705，根據3GPP的規格，內含數個互斥或閘，其接線方式如圖所示。此迴旋編碼器705共可產生四種不同的分支度量輸出：code0、code1、code2及code3，為1/4碼率之編碼器。換句話說，此四種不同的分支度量輸出，係分別搭配四個本質特徵多項式，藉由控制選擇輸入信號mode[0]及mode[1]，可應用在四種不同之系統。

由以上敘述可知，本發明之分支度量產生器可適用於不同之系統中。僅需控制其選擇輸入信號，便可選擇本質特徵多項式，進而改變其分支度量。雖然圖九實施例為一個包含四種分支度量產生器之電路，熟此技藝者很容易依據本發明所揭露之技術，根據系統的需要，延伸出符合規



五、發明說明 (10)

格要求之分支度量產生器。同時本發明之分支度量產生器的電路設計，可使其電路佈局的面積將遠小於習知之分支度量產生器。



圖式簡單說明

圖一為維特比解碼器之方塊圖；

圖二為分支度量格狀圖示(trellis diagram)示意圖；

圖三為蝴蝶形式之示意圖；

圖四為分支度量產生單元之方塊圖；

圖五為習知可產生兩組不同分支度量的分支度量產生器；

圖六為本發明第一實施例之方塊圖；

圖七為本發明第一實施例之電路圖；

圖八為本發明第二實施例之方塊圖；

圖九為本發明第二實施例之電路圖。

圖式元件符號說明

101 分支度量

201 欄位

205 狀態

209 單個蝴蝶形式

301 目前狀態

305 下一個狀態

302, 304, 306, 308 狀態轉移方向

601 線性反饋移位暫存器

602 數字序列

604 二進位數字

606 運算結果

103 路徑分支

203 行位

207 箭頭

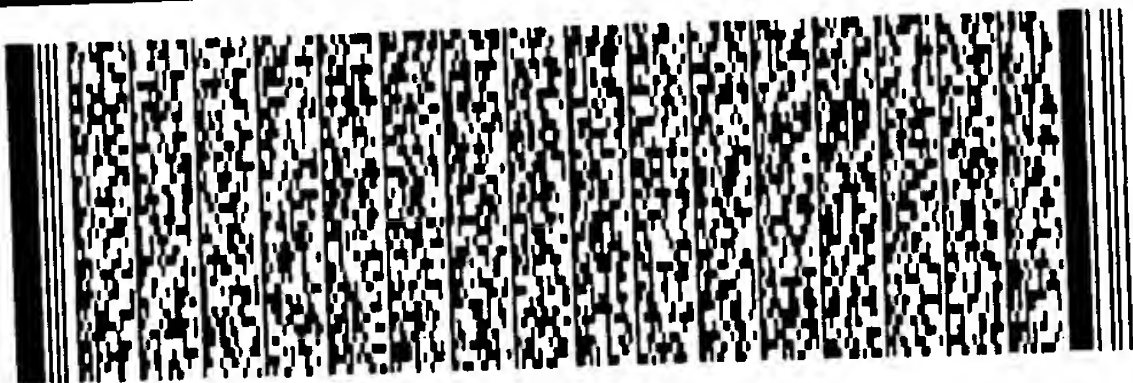
303 目前狀態

307 下一個狀態

603 迴旋編碼器

605 執行電路

607 數字序列產生電路



圖式簡單說明

609	反或閘	611	互斥或閘
613	互斥或閘	701	選擇器
702	特定之運算結果		
703	計數器	704	數字序列
705	迴旋編碼器	706	四個運算結果
707	多工器	708	選擇結果
709	選擇邏輯閘	711	執行電路組
713	反或閘	715	互斥或閘
717	數字序列產生電路		



六、申請專利範圍

1. 一種分支度量產生裝置(branch metric generator)，適用於維特比解碼器內，用以產生一分支度量(branch metric)，該分支度量產生裝置包含：

一線性反饋移位暫存器(linear feedback shift register)，用以執行一特定之本質特徵多項式(primitive characteristic polynomial)運算後，產生一數字序列；以及

一迴旋編碼器(convolutional encoder)，連接該線性反饋移位暫存器並接收該數字序列，用以將該數字序列做編碼，以產生該分支度量。

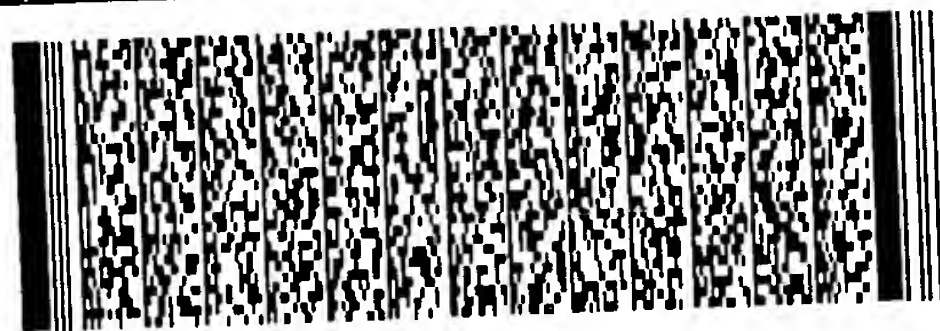
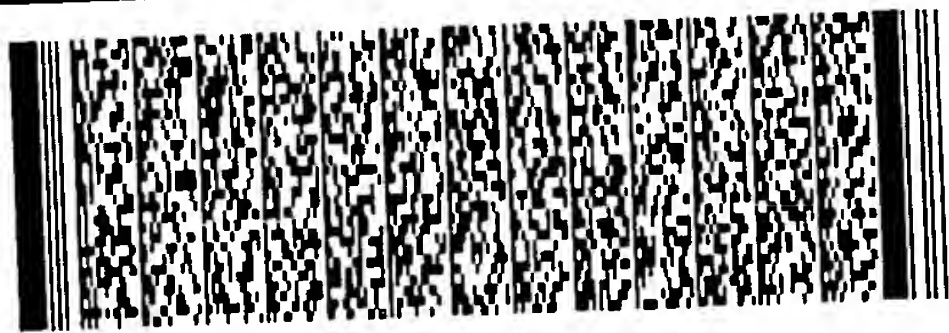
2. 如申請專利範圍第1項所述之分支度量產生裝置，其中該線性反饋移位暫存器包含：

一數字序列產生電路(number sequence generation circuit)，包含一輸入端、一第一輸出端及一第二輸出端；以及

一執行電路(performing circuit)，包含一資料輸入端及一資料輸出端，該執行電路可執行該特定本質特徵多項式運算；

其中，該第一輸出端連結至該資料輸入端，該資料輸出端連結至該輸入端，該第二輸出端連結至該迴旋編碼器。

3. 如申請專利範圍第2項所述之分支度量產生裝置，其中



六、申請專利範圍

該數字序列產生電路包含：N個暫存器(register)、一反或閘(NOR gate)和一互斥或閘(XOR gate)，該數字序列產生電路可產生2的N次方個數字序列。

4. 如申請專利範圍第3項所述之分支度量產生裝置，其中該暫存器包含一D型正反器(D flip-flop)。

5. 如申請專利範圍第2項所述之分支度量產生裝置，其中該執行電路包含至少一互斥或閘。

6. 如申請專利範圍第1項所述之分支度量產生裝置，其中該迴旋編碼器包含至少一互斥或閘。

7. 一種分支度量產生裝置，適用於維特比解碼器，係可選擇複數個本質特徵多項式，用以產生一分支度量，包含：

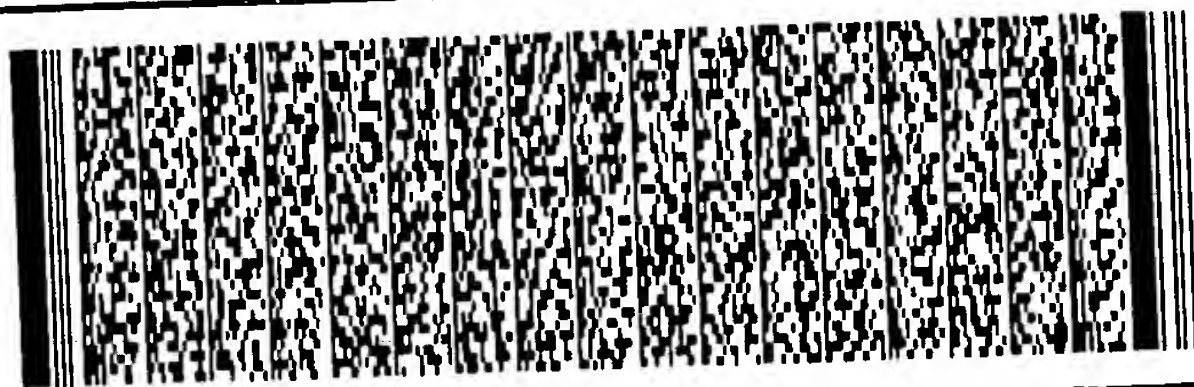
一選擇器(selector)；

一執行電路組，包含複數個執行電路，每個執行電路對應一特定之本質特徵多項式，該執行電路組可輸出複數個運算結果至該選擇器；

一數字序列產生電路，連接至該選擇器，提供一數字序列供該選擇器運算使用；以及

一迴旋編碼器，連接該數字序列產生電路，且接收輸入該數字序列；

其中，該選擇器由該複數個運算結果選擇其一，再送



六、申請專利範圍

回至該數字序列產生電路，該迴旋編碼器將該數字序列編碼後產生該分支度量。

8. 如申請專利範圍第7項所述之分支度量產生裝置，其中該選擇器包含：

一選擇輸入端(select input)，供輸入一選擇輸入信號；

一多工器(multiplexer)，接收該複數個運算結果；

以及

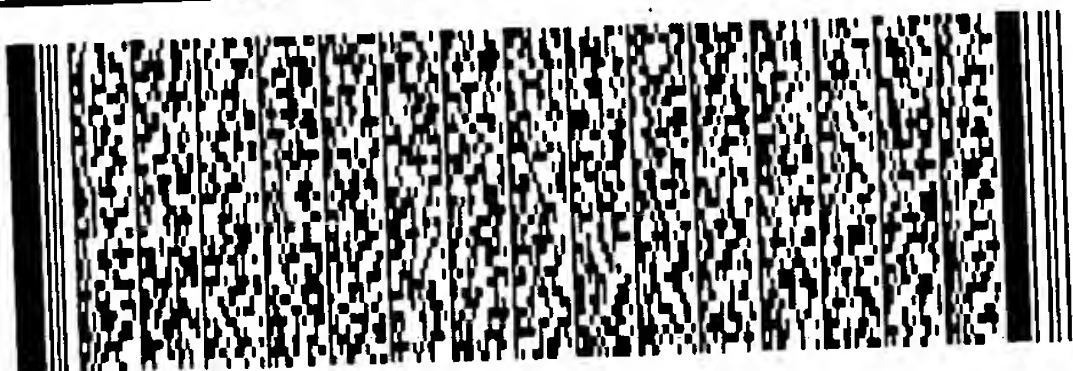
一選擇邏輯閘；

其中，該多工器與該選擇邏輯閘係依據該選擇輸入信號，以控制該多工器與該選擇邏輯閘之一輸出信號。

9. 如申請專利範圍第7項所述之分支度量產生裝置，其中該數字序列產生電路包含： N 個暫存器、一反或閘和一互斥或閘，該數字序列產生電路可產生 2 的 N 次方個數字序列。

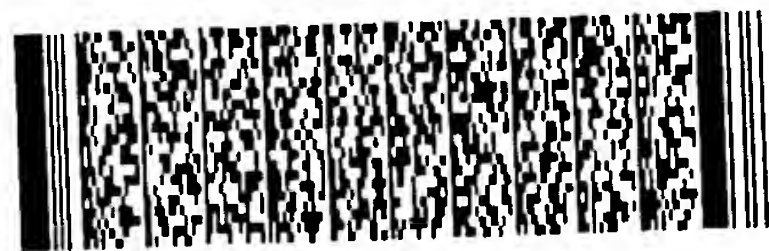
10. 如申請專利範圍第9項所述之分支度量產生裝置，其中該暫存器包含一D型正反器。

11. 如申請專利範圍第7項所述之分支度量產生裝置，其中該執行電路至少包含一互斥或閘。



六、申請專利範圍

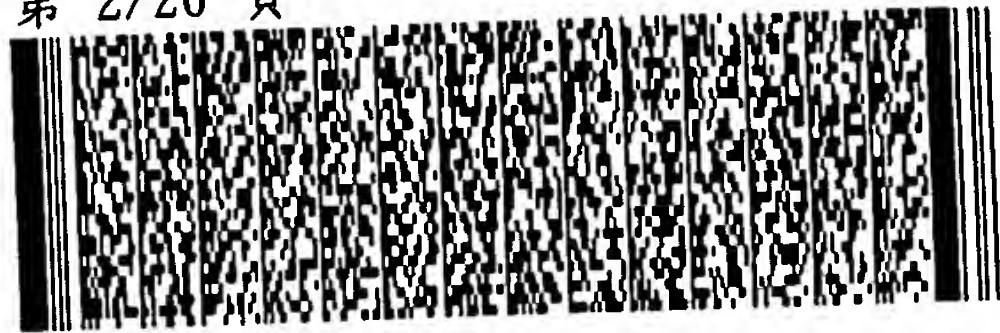
12. 如申請專利範圍第7項所述之分支度量產生裝置，其中該迴旋編碼器至少包含一互斥或閘。



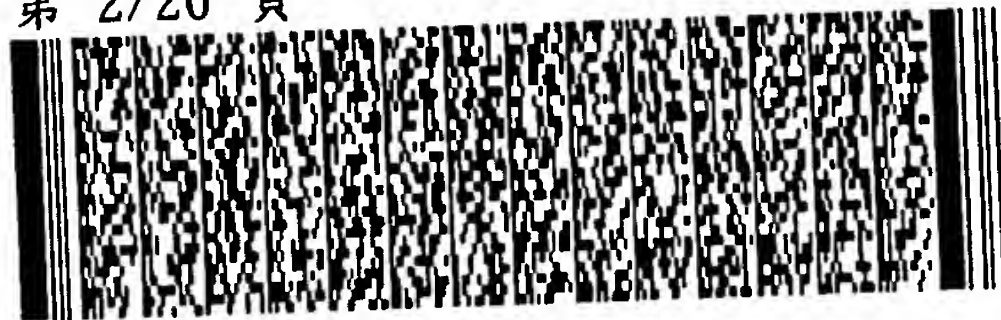
第 1/20 頁



第 2/20 頁



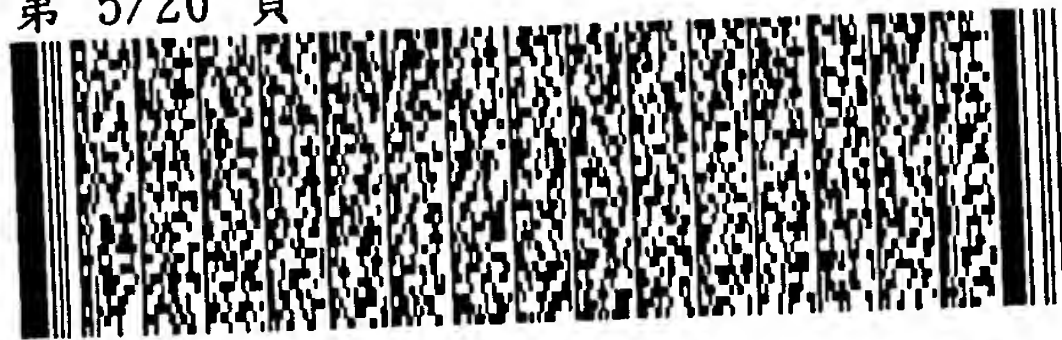
第 2/20 頁



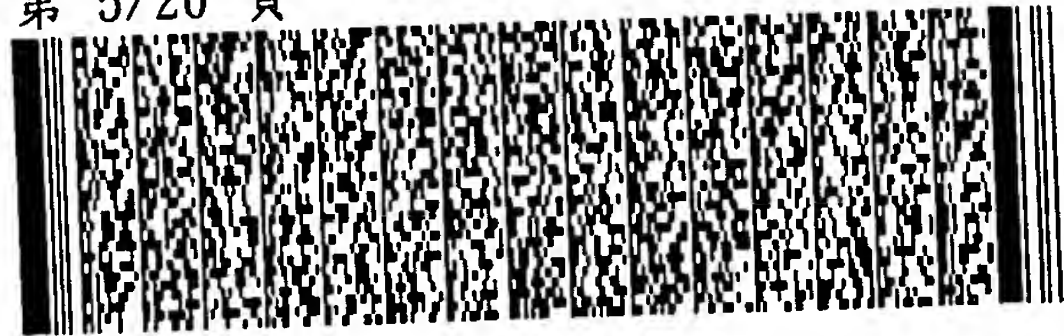
第 3/20 頁



第 5/20 頁



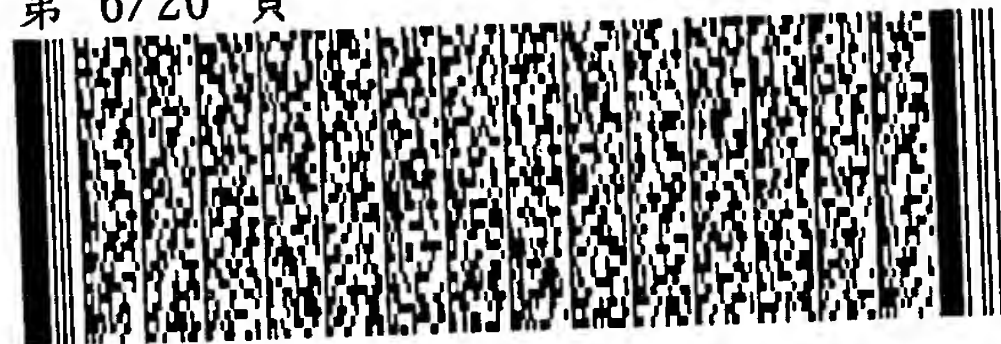
第 5/20 頁



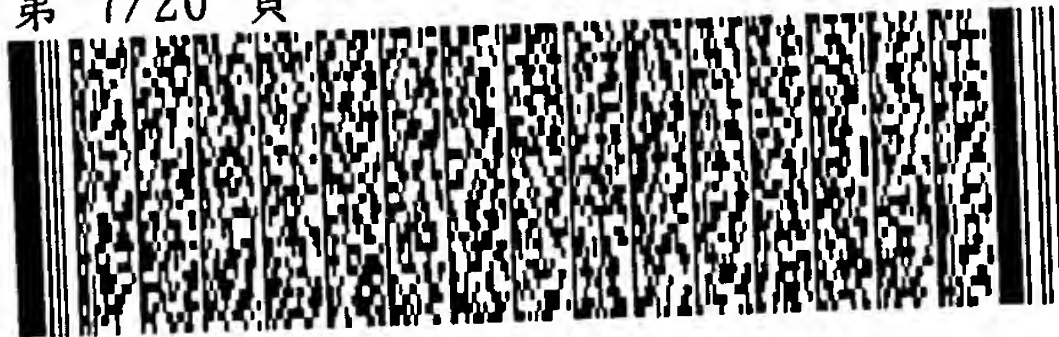
第 6/20 頁



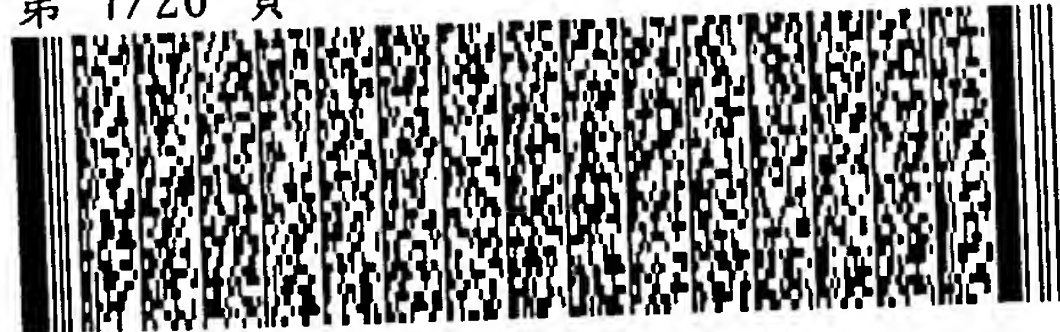
第 6/20 頁



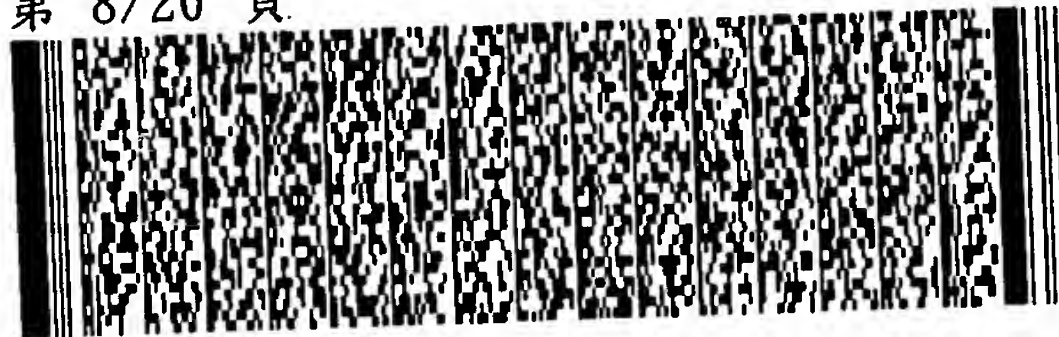
第 7/20 頁



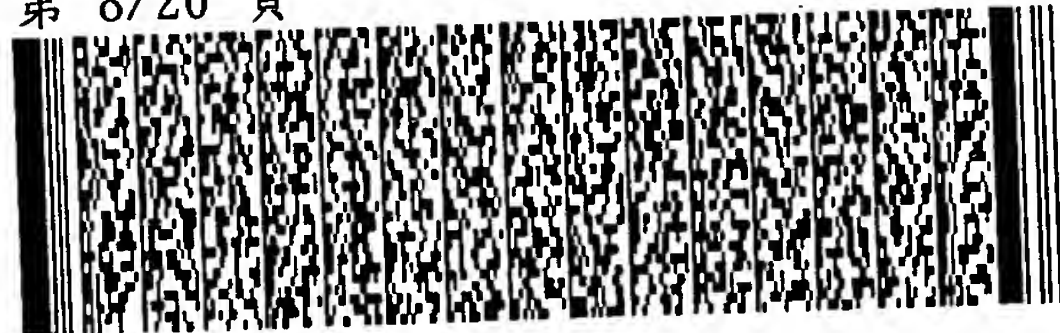
第 7/20 頁



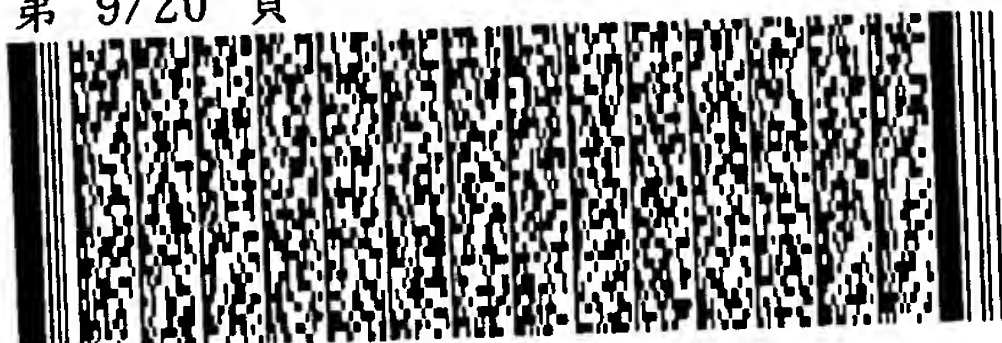
第 8/20 頁



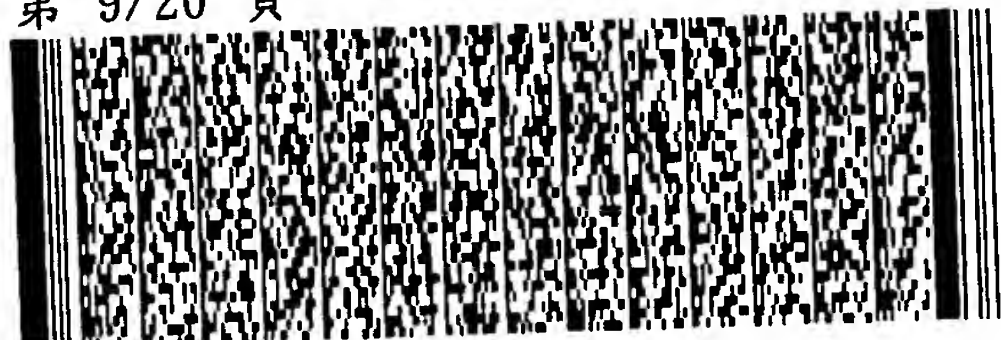
第 8/20 頁



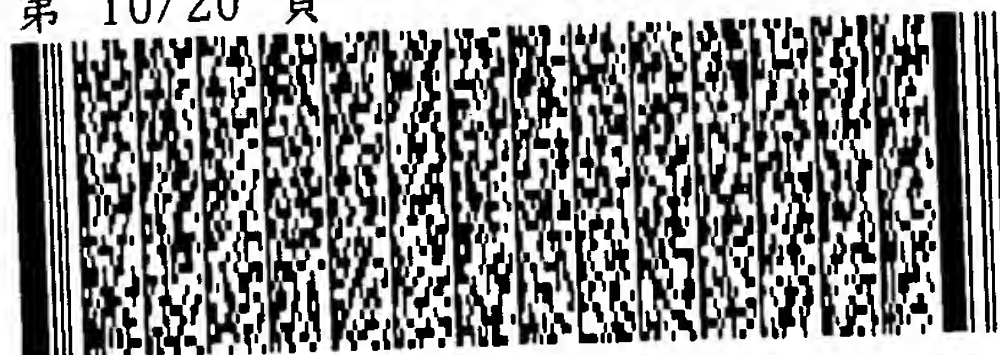
第 9/20 頁



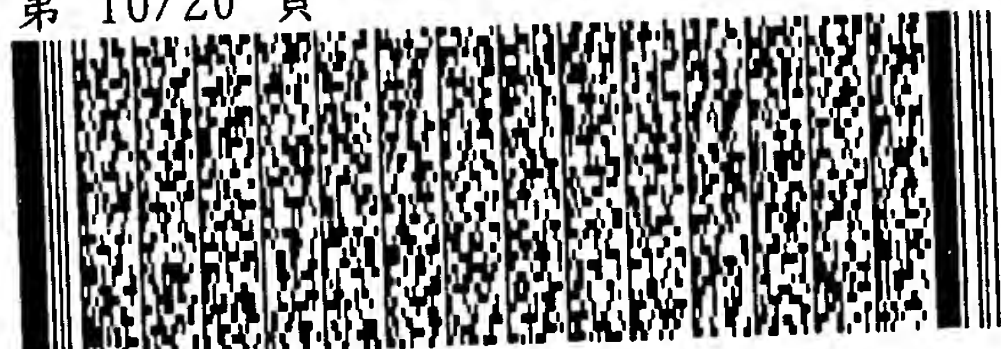
第 9/20 頁



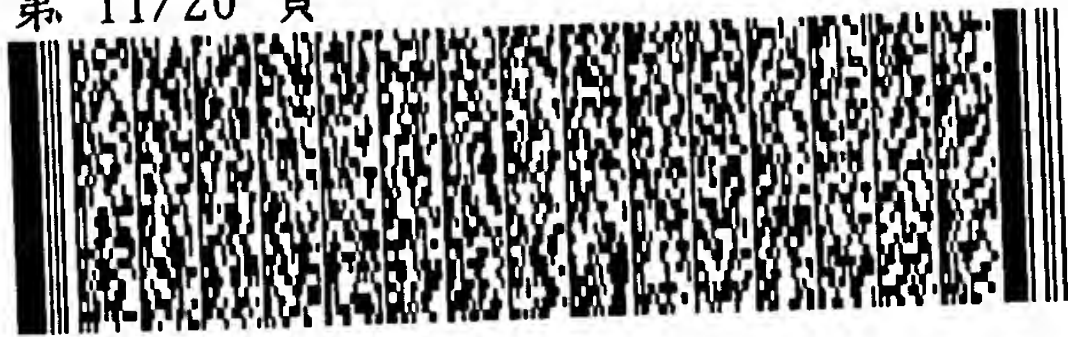
第 10/20 頁



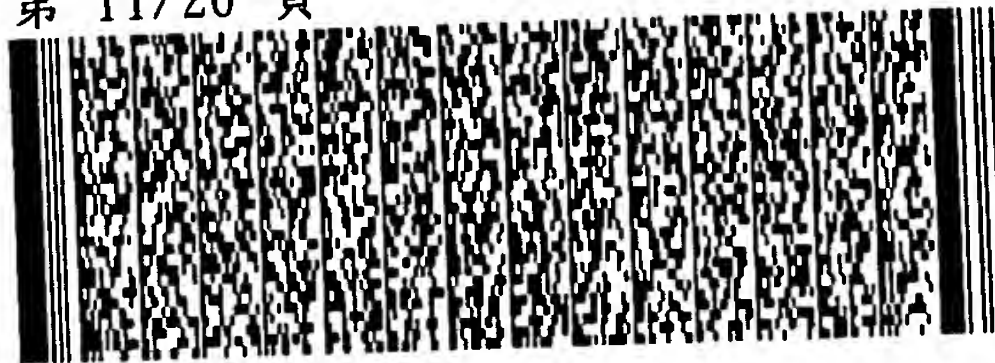
第 10/20 頁



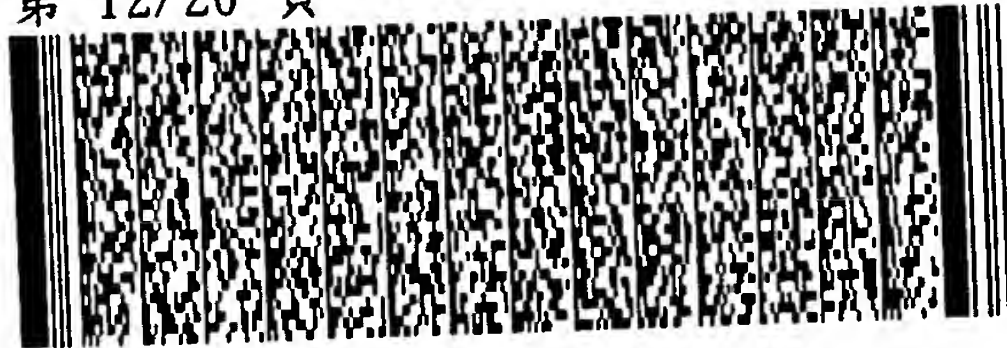
第 11/20 頁



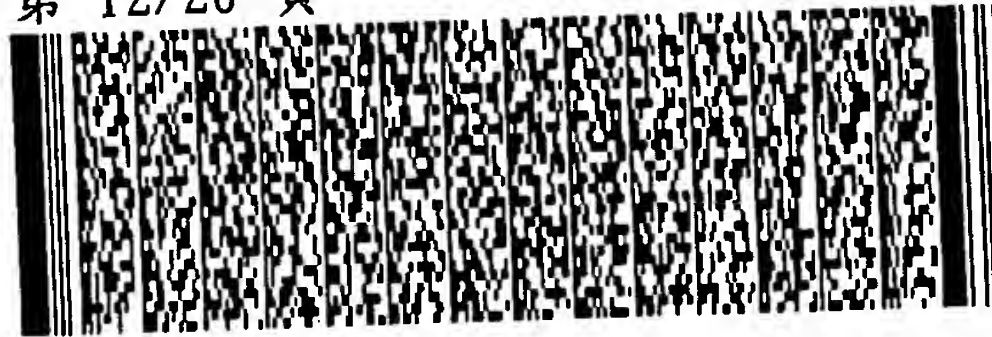
第 11/20 頁



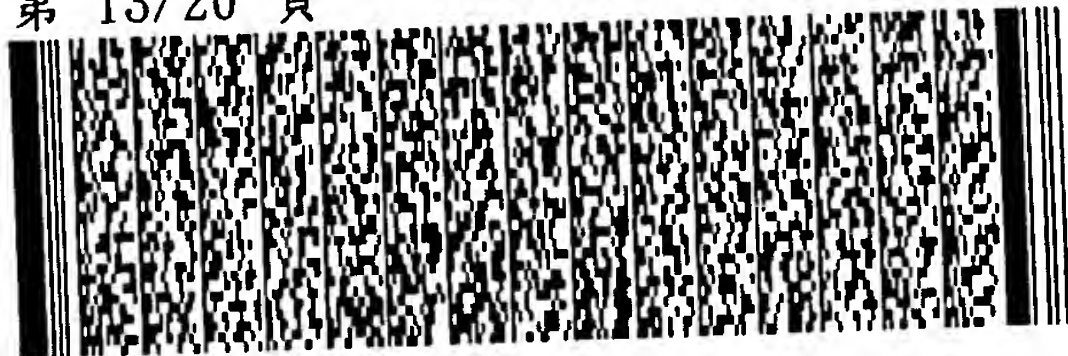
第 12/20 頁



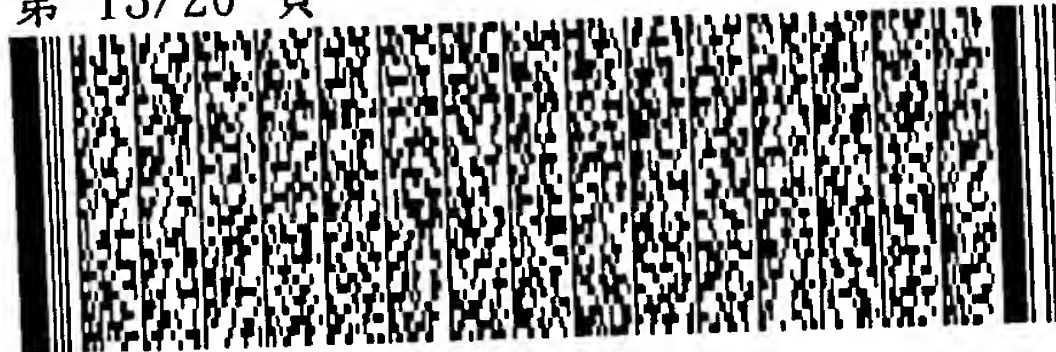
第 12/20 頁



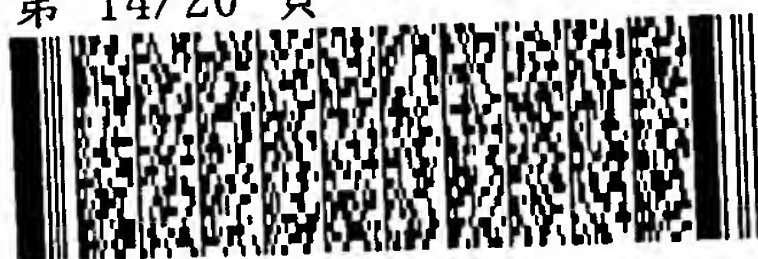
第 13/20 頁



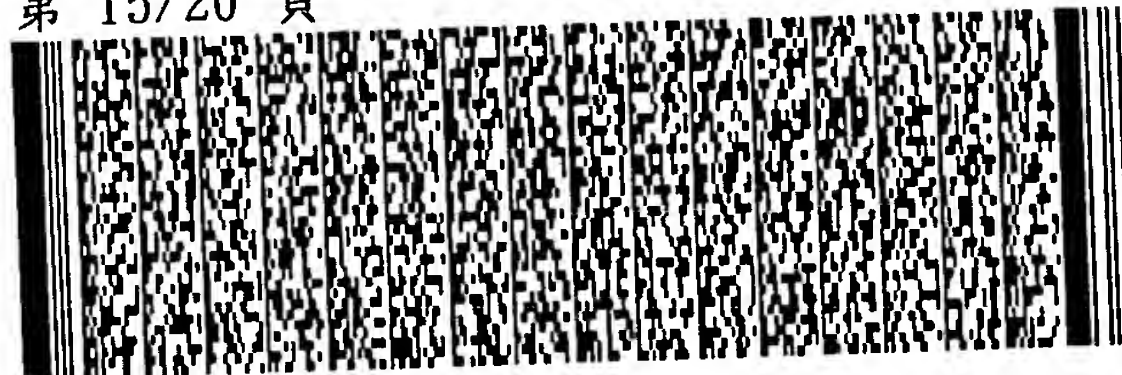
第 13/20 頁



第 14/20 頁



第 15/20 頁



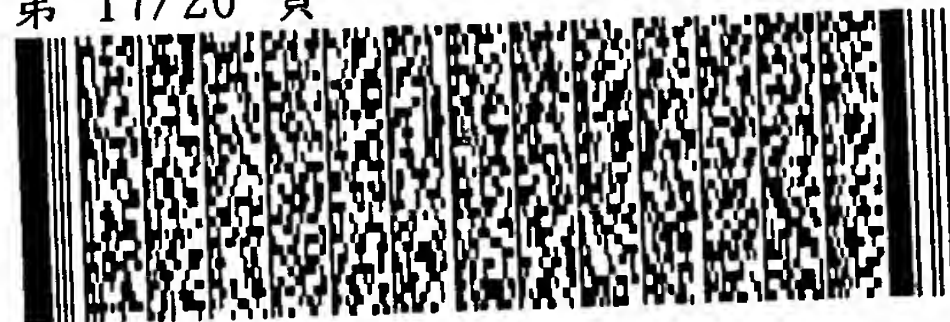
第 16/20 頁



第 17/20 頁



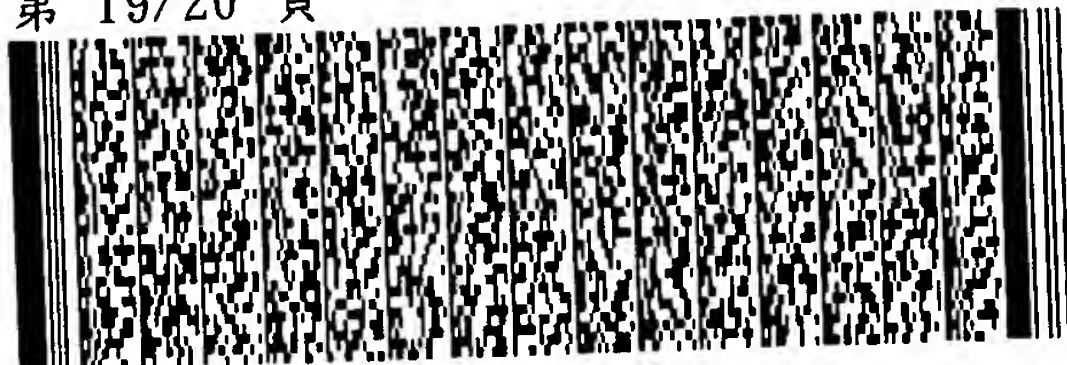
第 17/20 頁



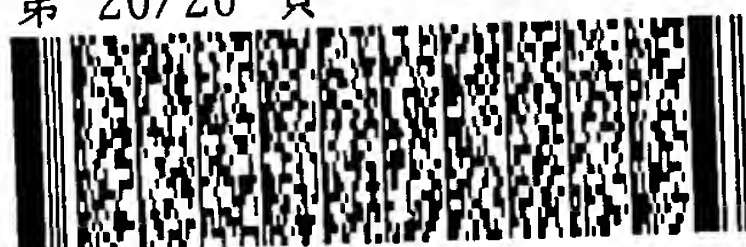
第 18/20 頁



第 19/20 頁



第 20/20 頁



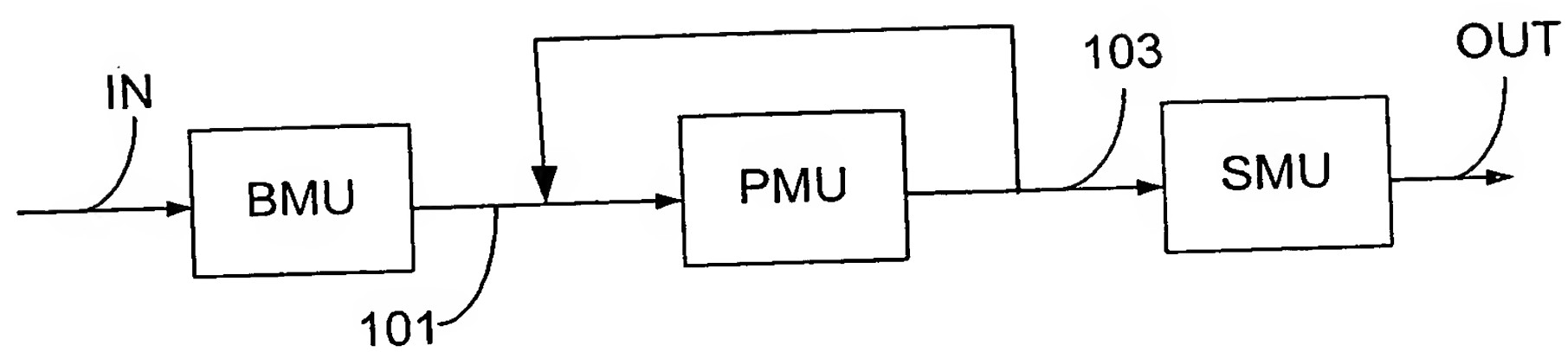


圖 一

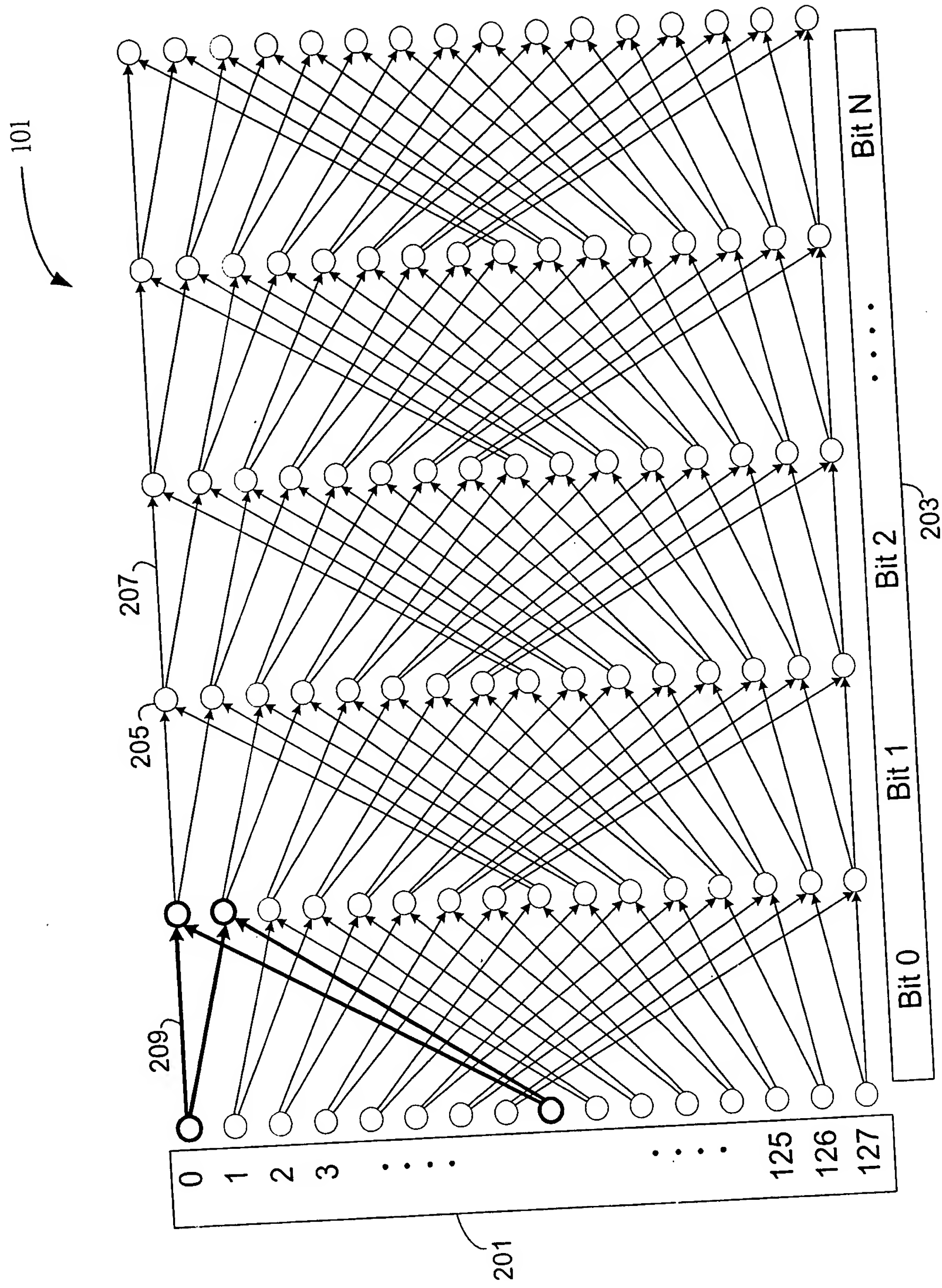


圖 二

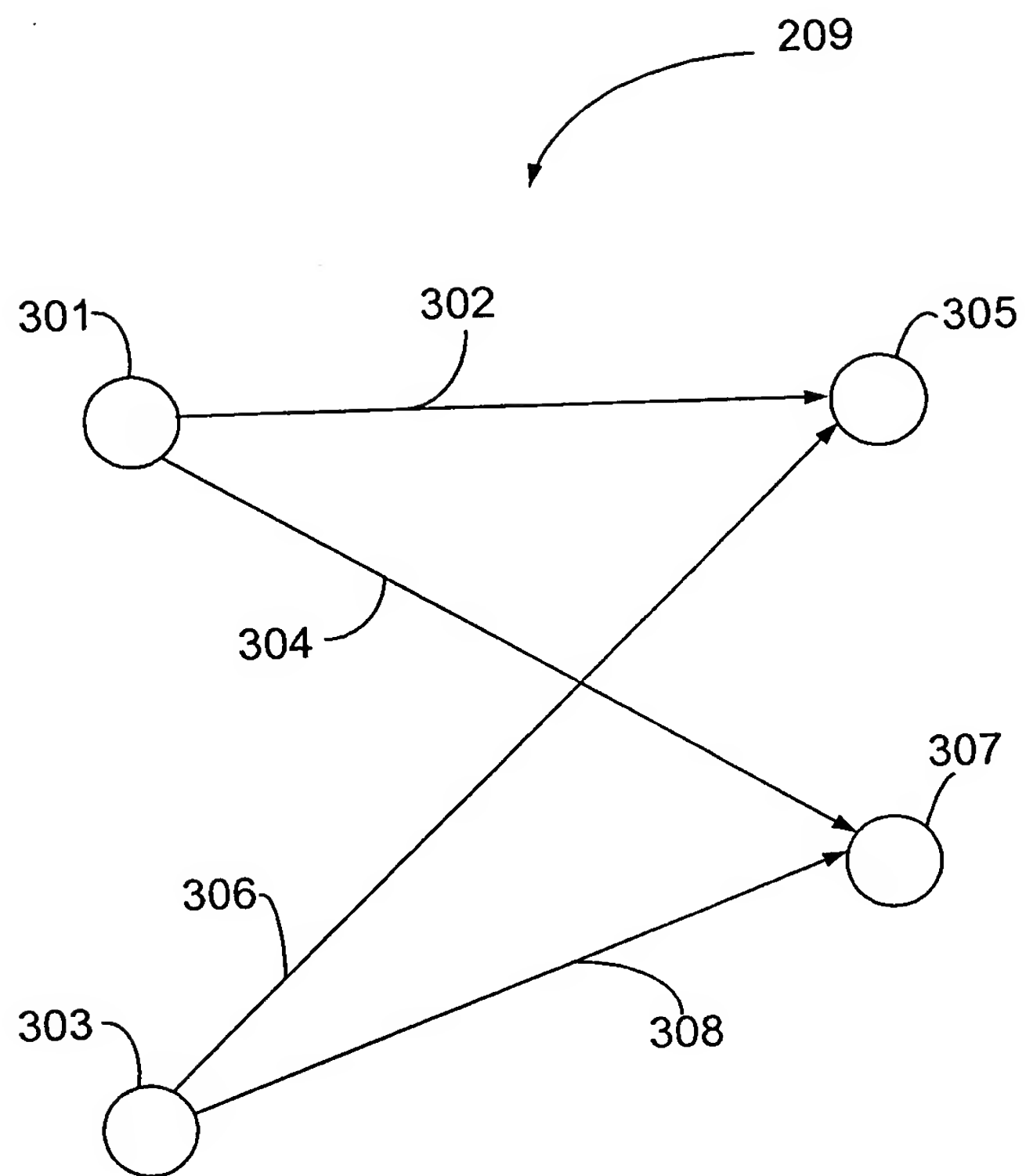


圖 三

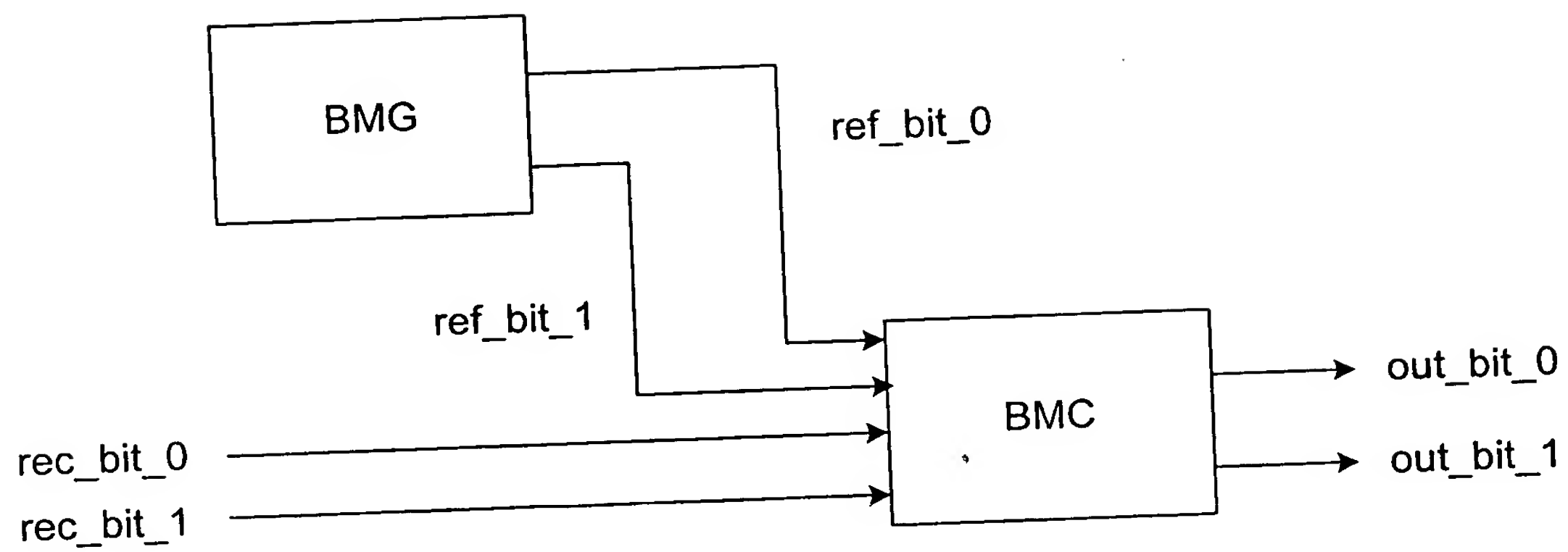


圖 四

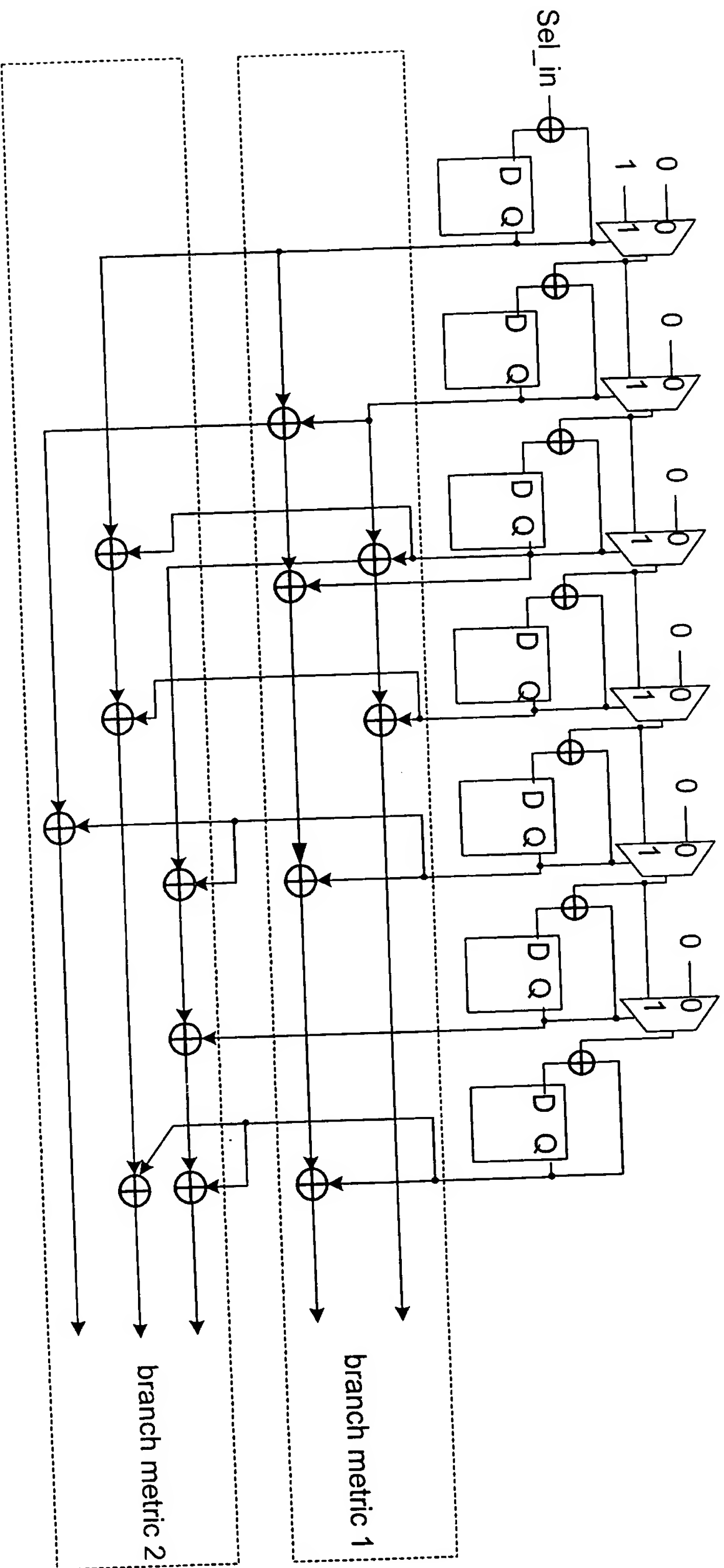


圖 五(習 知)

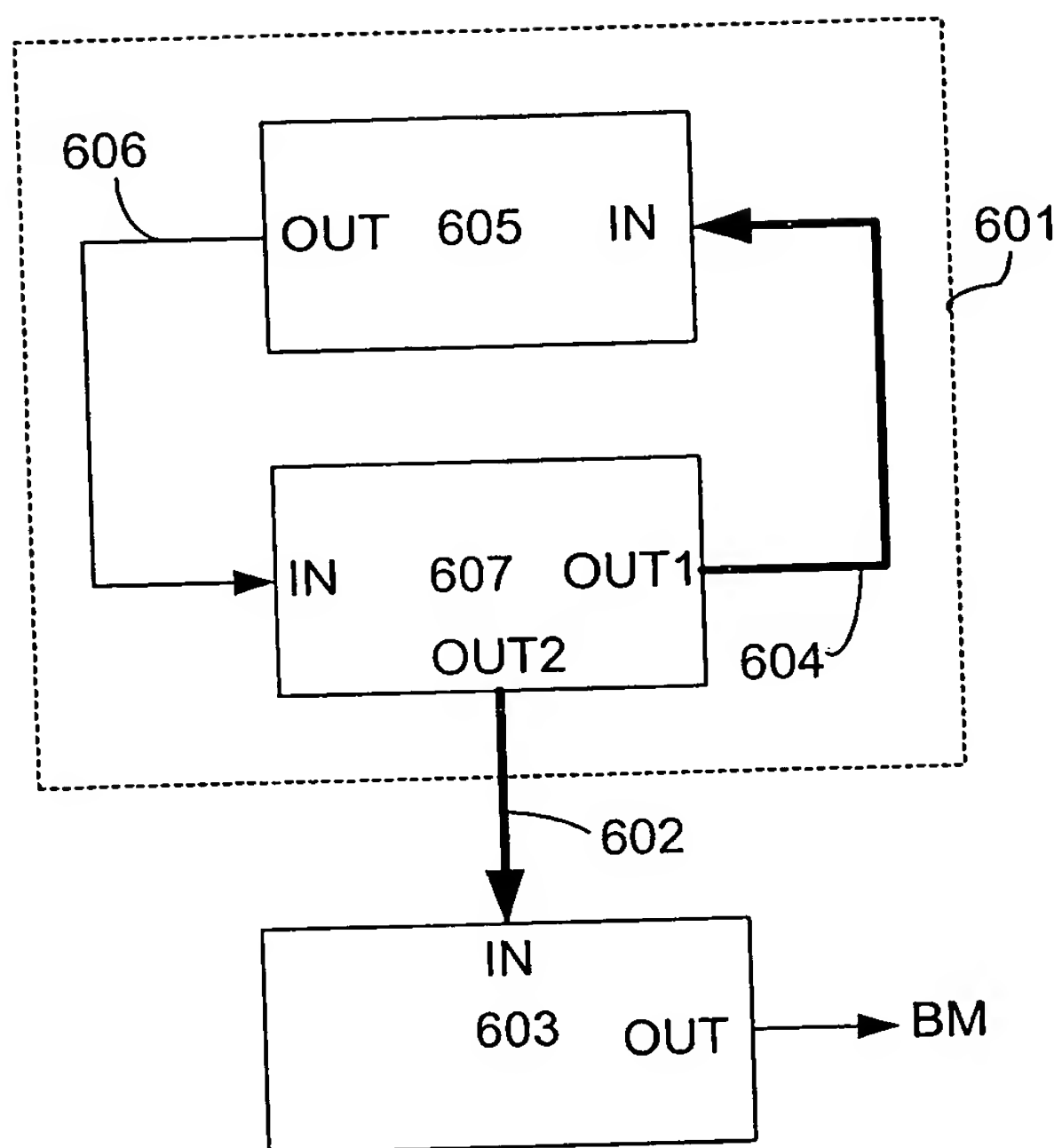


圖 六

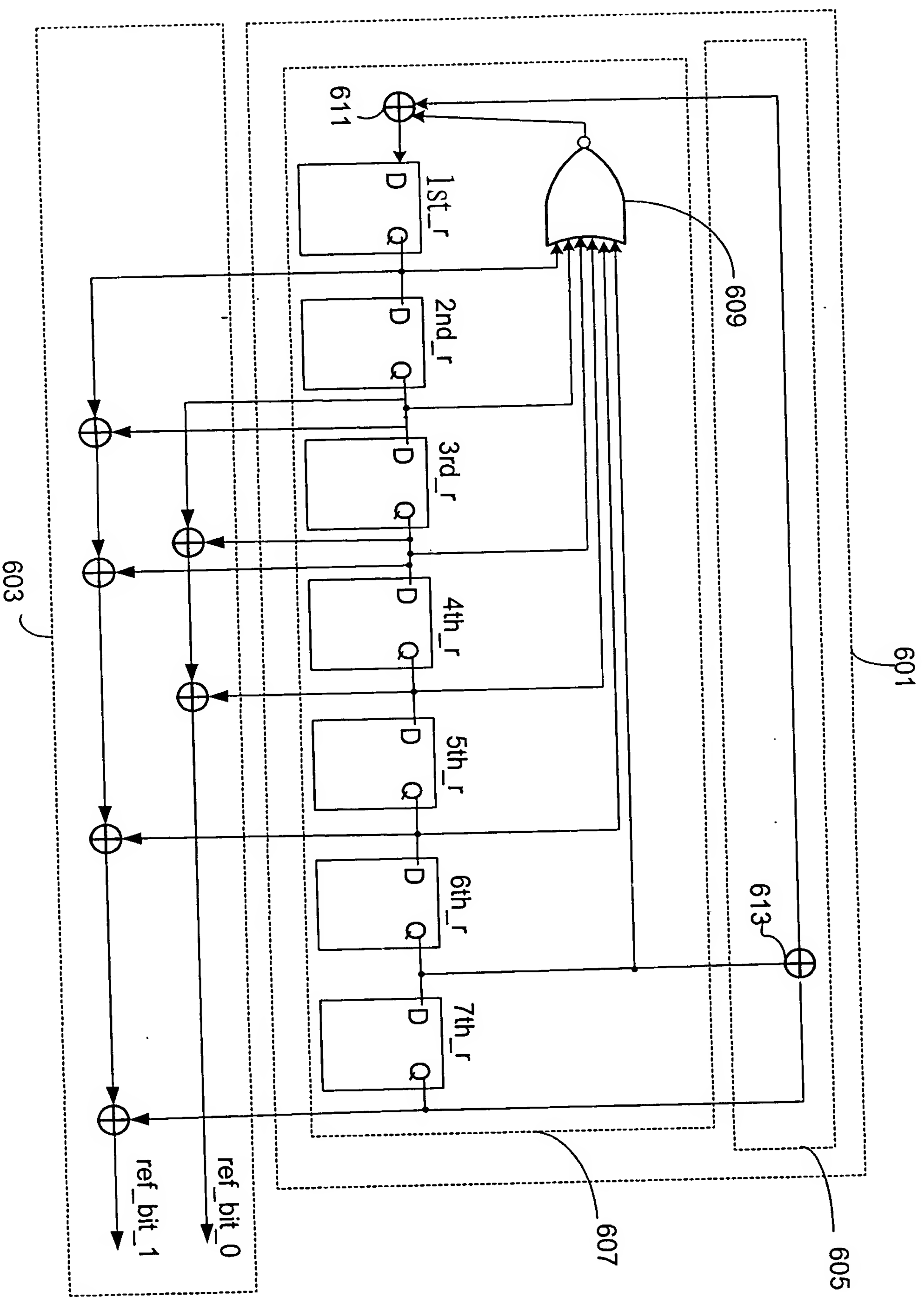


圖 七

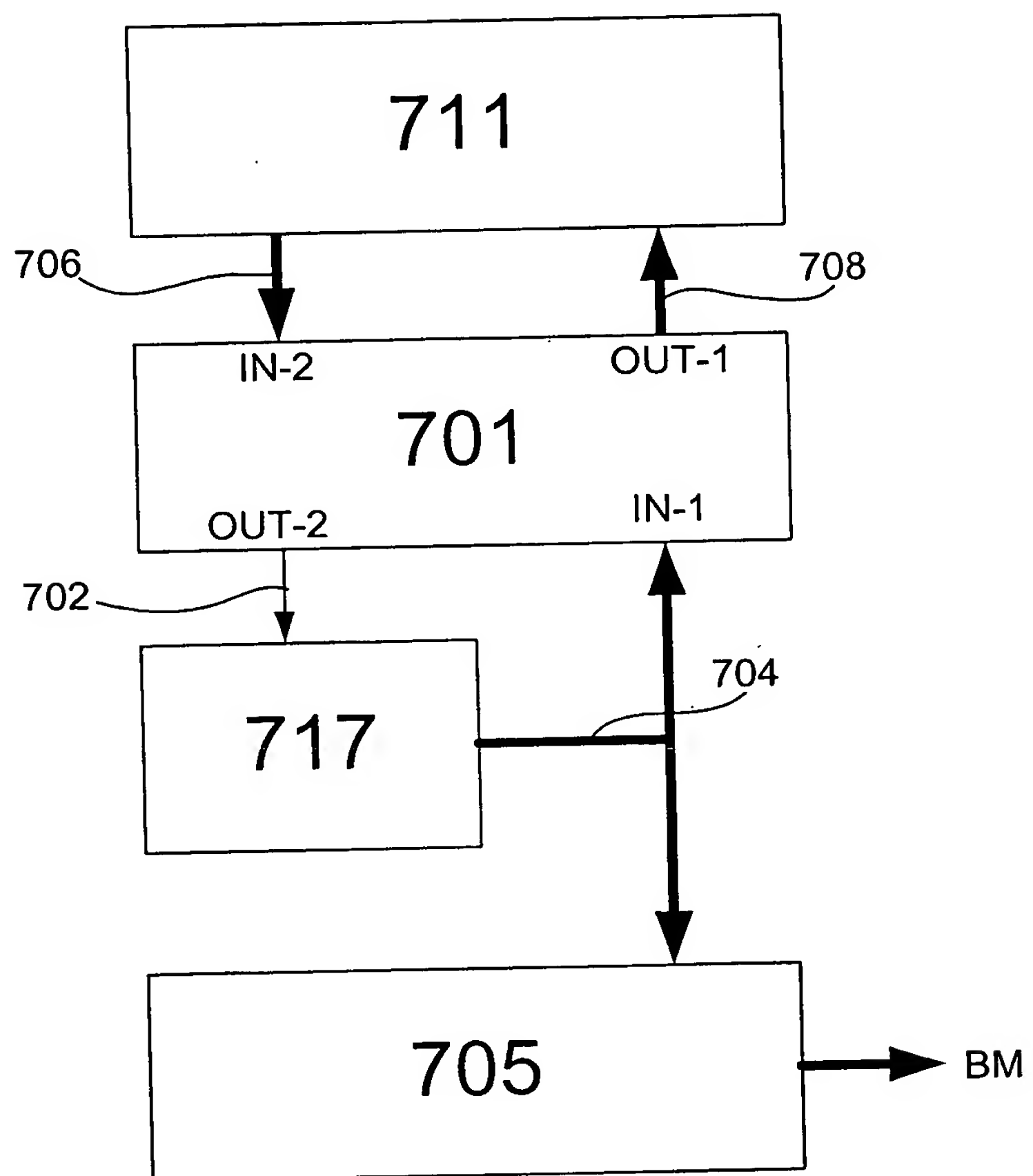


圖 八

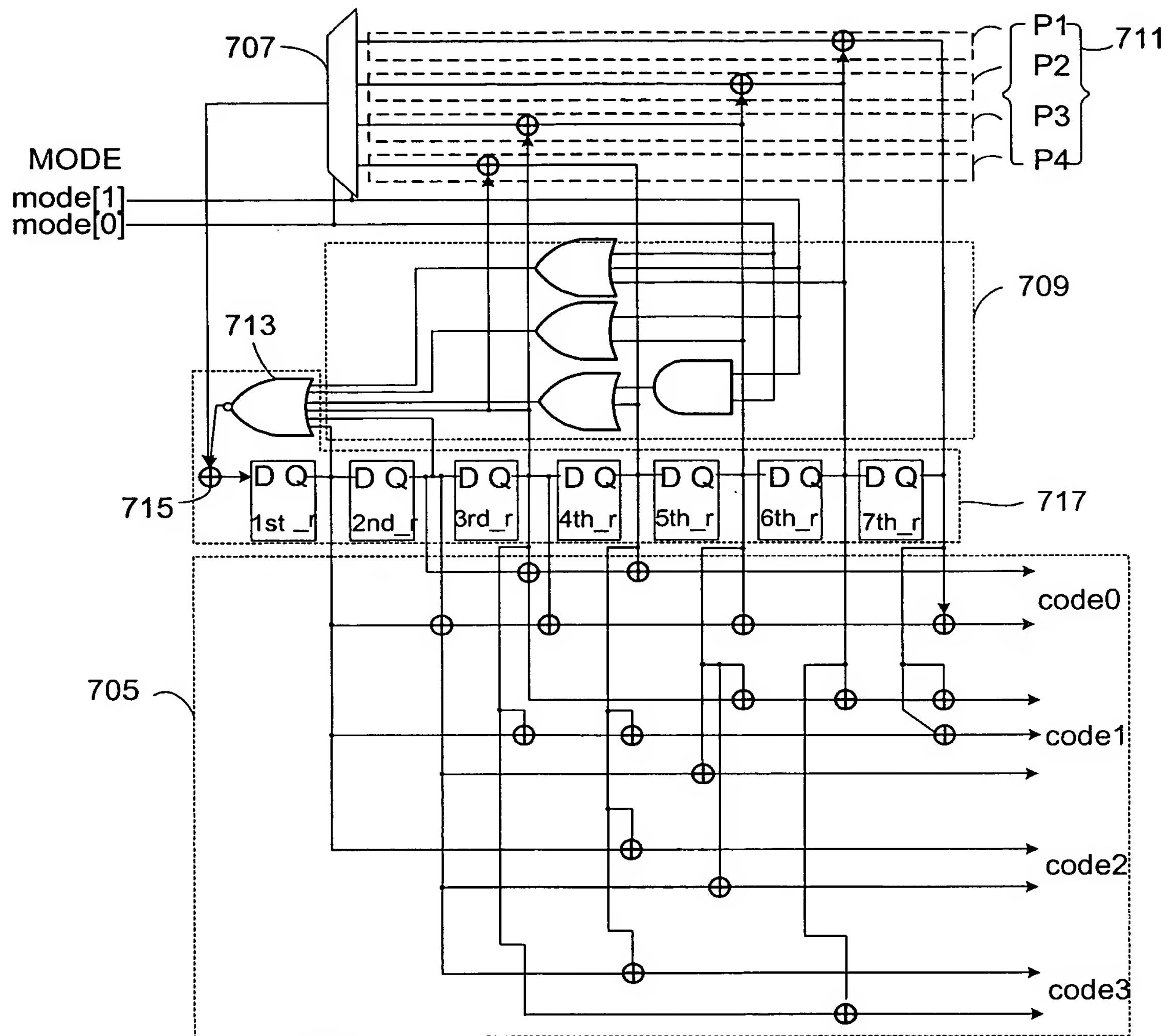


圖 九